



Attorney Docket No. 1687.1005

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:

Hiroyuki YAMASHITA, et al.

Application No.: 10/766,955

Group Art Unit:

Filed: January 30, 2004

Examiner:

For: **HARDWARE/SOFTWARE CO-VERIFICATION METHOD**

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN  
APPLICATION IN ACCORDANCE  
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents  
PO Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2003-024706

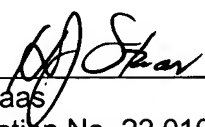
Filed: January 31, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: March 2, 2004

By:   
H. J. Staas  
Registration No. 22,010

1201 New York Ave, N.W., Suite 700  
Washington, D.C. 20005  
Telephone: (202) 434-1500  
Facsimile: (202) 434-1501

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 1月31日

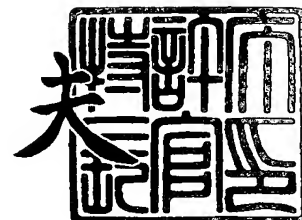
出願番号  
Application Number: 特願2003-024706  
[ST. 10/C]: [JP2003-024706]

出願人  
Applicant(s): 株式会社半導体理工学研究センター

2004年 2月12日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2004-3008674

【書類名】 特許願

【整理番号】 1025339

【提出日】 平成15年 1月31日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G06F 11/26

【発明の名称】 ハードウェア／ソフトウェア協調検証方法

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県横浜市港北区大豆戸町 1 2 1 0 - 1 T O P 新  
横浜 4 0 9 号

【氏名】 山下 博行

【発明者】

【住所又は居所】 神奈川県横浜市青葉区あざみ野 3 - 3 - 2 - 4 0 4

【氏名】 新舎 隆夫

【発明者】

【住所又は居所】 福岡県福岡市西区内浜 1 - 6 - 1 - 2 0 5

【氏名】 藤懸 英昭

【発明者】

【住所又は居所】 東京都青梅市新町 1 - 2 - 3 アーバンヒルズ河辺第 2  
- 1 0 8

【氏名】 古渡 俊明

【発明者】

【住所又は居所】 東京都町田市小川 2 - 2 8 - 1 2 ヴィラアイコウ 2 0  
4 号

【氏名】 平尾 智也

【発明者】

【住所又は居所】 千葉県柏市新富町 2 - 3 - 1 6

【氏名】 大熊 敦史

## 【発明者】

【住所又は居所】 神奈川県横浜市鶴見区北寺尾 7 - 2 0 - 1 9

【氏名】 西 宏晃

## 【発明者】

【住所又は居所】 東京都町田市金井町 2 3 0 7 - 4

【氏名】 村岡 道明

## 【特許出願人】

【識別番号】 396023993

【氏名又は名称】 株式会社半導体理工学研究センター

## 【代理人】

【識別番号】 100077517

【弁理士】

【氏名又は名称】 石田 敬

【電話番号】 03-5470-1900

## 【選任した代理人】

【識別番号】 100092624

【弁理士】

【氏名又は名称】 鶴田 準一

## 【選任した代理人】

【識別番号】 100100871

【弁理士】

【氏名又は名称】 土屋 繁

## 【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

## 【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

## 【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9903088

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ハードウェア／ソフトウェア協調検証方法

【特許請求の範囲】

【請求項 1】 ホスト CPU を使用して、一つのターゲット CPU 及び一つの OS が少なくとも搭載される半導体装置のハードウェア及びソフトウェアを協調検証する方法であって、

(a) 検証モデルとしての C ベース言語記述の Timed ソフトウェア部品を入力してコンパイルし、検証モデルとしての C ベース言語記述のハードウェア部品を入力してコンパイルし、並びに該コンパイルされた Timed ソフトウェア部品及び該コンパイルされたハードウェア部品をリンクするステップと、

(b) テストベンチを入力してコンパイルするステップと、

(c) ステップ(a)により処理された検証モデルとステップ(b)により処理されたテストベンチとをリンクするステップと、

(d) ステップ(c)で生成された実行プログラムに基づいてシミュレーションを実行するステップと、

(e) ステップ(d)によるシミュレーションの結果を出力するステップと、

を具備するハードウェア／ソフトウェア協調検証方法。

【請求項 2】 ホスト CPU を使用して、一つのターゲット CPU 及び一つの OS が少なくとも搭載される半導体装置のハードウェア及びソフトウェアを協調検証する方法であって、

(a) 検証モデルとしてのホスト CPU 用バイナリ・コードの Timed ソフトウェア部品を入力し、検証モデルとしての C ベース言語記述のハードウェア部品を入力してコンパイルし、並びに該入力された Timed ソフトウェア部品及び該コンパイルされたハードウェア部品をリンクするステップと、

(b) テストベンチを入力してコンパイルするステップと、

(c) ステップ(a)により処理された検証モデルとステップ(b)により処理されたテストベンチとをリンクするステップと、

(d) ステップ(c)で生成された実行プログラムに基づいてシミュレーションを実行するステップと、

(e) ステップ(d)によるシミュレーションの結果を出力するステップと、  
を具備するハードウェア／ソフトウェア協調検証方法。

【請求項3】 ホストCPUを使用して、一つのターゲットCPU及び一つのOSが少なくとも搭載される半導体装置のハードウェア及びソフトウェアを協調検証する方法であって、

(a) 検証モデルとしてのCベース言語記述のTimedソフトウェア部品を入力してコンパイルし、検証モデルとしてのホストCPU用バイナリ・コードのTimedソフトウェア部品を入力し、検証モデルとしてのCベース言語記述のハードウェア部品を入力してコンパイルし、並びに該コンパイルされ又は該入力されたTimedソフトウェア部品及び該コンパイルされたハードウェア部品をリンクするステップと、

(b) テストベンチを入力してコンパイルするステップと、

(c) ステップ(a)により処理された検証モデルとステップ(b)により処理されたテストベンチとをリンクするステップと、

(d) ステップ(c)で生成された実行プログラムに基づいてシミュレーションを実行するステップと、

(e) ステップ(d)によるシミュレーションの結果を出力するステップと、  
を具備するハードウェア／ソフトウェア協調検証方法。

【請求項4】 ANS I-C記述のUntimedソフトウェア部品からCベース言語記述のTimedソフトウェア部品を予め作成すべく、更に、

ANS I-C記述のUntimedソフトウェア部品を入力して、Basic Block を認識し、制御点を挿入するステップと、

該制御点を挿入されたUntimedソフトウェア部品をコンパイルしてターゲットCPU用バイナリ・コードを生成するステップと、

該生成されたターゲットCPU用バイナリ・コードについて制御点間の実行時間を算出するステップと、

該算出された実行時間に応じて、該制御点を挿入されたUntimedソフトウェア部品の各制御点へ実行時間挿入文を挿入し、Cベース言語記述のTimedソフトウェア部品として出力するステップと、

を具備する、請求項 1 又は請求項 3 に記載のハードウェア／ソフトウェア協調検証方法。

【請求項 5】 ターゲット CPU 用バイナリ・コードの Untimed ソフトウェア部品からホスト CPU 用バイナリ・コードの Timed ソフトウェア部品を予め作成すべく、更に、

ターゲット CPU 用バイナリ・コードの Untimed ソフトウェア部品を入力して、ホスト CPU 用バイナリ・コードのソフトウェア部品へと変換するステップと、

該ホスト CPU 用バイナリ・コードのソフトウェア部品について、Basic Block を認識し、制御点を挿入するステップと、

該制御点を挿入されたソフトウェア部品について制御点間の実行時間を算出するステップと、

該算出された実行時間に応じて、該制御点を挿入されたソフトウェア部品の各制御点へ実行時間挿入文同等機能のバイナリ・コードを挿入し、ホスト CPU 用バイナリ・コードの Timed ソフトウェア部品として出力するステップと、

を具備する、請求項 2 又は請求項 3 に記載のハードウェア／ソフトウェア協調検証方法。

#### 【発明の詳細な説明】

##### 【0 0 0 1】

#### 【発明の属する技術分野】

本発明は、半導体装置に搭載されるハードウェア及びソフトウェアを協調検証 (Co-verification) する方法に関する。

##### 【0 0 0 2】

#### 【従来の技術】

近年、SoC を搭載した機器が広く普及してきている。SoC とは、System on a Chip の略で、コンピュータの主要機能を一つのチップ（半導体装置）に詰め込む技術、あるいは、当該技術によりコンピュータの主要機能を搭載したチップをいう。

##### 【0 0 0 3】



図1は、かかるS o Cの上流設計フローを示す図である。同図に示されるように、システム・レベルの設計が完了した後、アーキテクチャ・レベルの設計に移行する。アーキテクチャ・レベルの設計では、C P U (Central Processing Unit)、O S (Operating System)、バス (Bus) 等の基本部品の選択、ハードウェア及びソフトウェアへの機能分割、並びにハードウェア設計及びソフトウェア設計が行われる。そして、アーキテクチャ・レベルの設計により得られた基本部品、ハードウェア部品及びソフトウェア部品に対し、それらの検証モデルに基づくハードウェア／ソフトウェア協調検証が実行される。

#### 【0004】

一般に、かかるハードウェア／ソフトウェア協調検証においては、C P Uの検証モデルとして、下記特許文献1～3に開示されるように、命令レベルでシミュレーションを行うI S S (Instruction Set Simulator, 命令セット・シミュレータ) が使用されている。このI S Sは、Cベース言語で記述され、市販のシミュレータとしてS y s t e m - G (ガイオ・テクノロジー社製) 等が知られている。なお、本明細書において、「Cベース言語」とは、A N S I - C / C ++の各種拡張言語、S p e c C、S y s t e m Cのいずれかの言語を意味する。

#### 【0005】

又、C P U専用メモリ、バス等のハードウェア部品についても、Cベース言語で記述された検証モデルが使用される。更に、その他のハードウェア部品についても、Cベース言語を用いたビヘイビア (Behavior) 記述又はR T L (Register Transfer Level) 記述による検証モデルが使用される。なお、ビヘイビア記述とは、回路のふるまいを記述したものであり、一方、R T L記述とは、レジスタの値が遷移していく様子を記述したものである。

#### 【0006】

一方、O S、ミドルウェア、割込みハンドラ、デバイス・ドライバ、タスク等のソフトウェア部品の検証モデルは、実論理即ちターゲットC P Uのバイナリ・コード (命令コード) 自身で構成される。なお、本明細書において、「ターゲットC P U」とは、検証対象のS o C等の半導体装置に搭載されているC P U (例えば、A R Mプロセッサ) を意味する。

## 【0007】

以上のような検証モデル（ハードウェア部品、ソフトウェア部品）にテストベンチ及びCベース・シミュレータを加えることで、図2に示される如き従来の協調検証システム（ソフトウェア構成）が構成される。テストベンチは、テスト・データの入力、テスト・データの出力と期待値との比較、等を実行し、Cベース・シミュレータは、シミュレーション全体の動作を制御する。又、ISSは、ハードウェア部品からのマスク可能割込みINT（maskable Interrupt）やテストベンチからのマスク不能割込みNMI（NonMaskable Interrupt）を受付けつつ動作する。

## 【0008】

このISSの機能は、命令レベル・シミュレーション、メモリ・アクセス（LOAD/STORE命令）、I/Oアクセス、及び割込み処理である。命令レベル・シミュレーション機能では、ターゲットCPUのバイナリ・コード・レベルでのシミュレーションを実行する。又、メモリ・アクセス機能では、バスへのREAD/WRITEアクセスを実行する。なお、バスがメモリ・アクセスを制御する。I/Oアクセス機能では、LOAD/STORE命令（一回あたりのデータ転送量が小さい）を用いた、バスへのREAD/WRITEアクセスを実行する。なお、バスがI/O（ハードウェア部品）アクセスを制御する。又、割込み処理機能では、割込み（INT<sub>i</sub>（ $i=1, \dots, n$ ）、NMI）の受付け、割込みハンドラの起動制御、実行中の処理の中断、中断した処理の再開、等を実行する。

## 【0009】

ISSを使用した協調検証に関する先行技術文献としては、下記特許文献1～3の他に、下記の非特許文献1及び2が存在する。なお、下記の非特許文献3は、後述する説明において引用される“Basic Block”に関するものであり、非特許文献4～6は、後述する説明において引用される“Fixed I/O Behaviorモデル”に関するものであり、非特許文献7～9は、C言語ベースの設計及び検証の技術動向に関するものである。

## 【0010】

## 【特許文献1】

特開2000-259445号公報

【特許文献 2】

特開2001-256072号公報

【特許文献 3】

特開2002-175344号公報

【非特許文献 1】

若林一敏：C言語によるLSI設計－動作合成とHW／SW協調検証  
の実際、NE Embedded Symposium 2002.

【非特許文献 2】

黒川、池上、大坪、浅尾、桐ヶ谷、三栖、高橋、川津、新田、笠、若  
林、友部、高橋、向山、竹中：C言語ベースの動作合成を利用したシ  
ステムLSI設計手法の効果分析と考察、電子情報通信学会第15回  
軽井沢ワークショップ、pp. 131-142、Apr. 2002.

【非特許文献 3】

T. Sherwood, E. Perelman and B. Calder, “Basic Block Distribu  
tion Analysis to Find Periodic Behavior and Simulation Points  
in Applications”, in International Conference on Parallel Arc  
hitectures and Compilation Techniques, Sept. 2001.

【非特許文献 4】

D. W. Knapp, T. Ly, D. MacMillen and R. Miller, “Behavioral S  
ynthesis Methodology for HDL-Based Specification and Validatio  
n”, Proc. Design Automation Conf., June 1995.

【非特許文献 5】

T. Ly, D. W. Knapp, R. Miller and D. MacMillen, “Scheduling u  
sing Behavioral Templates”, Proc. Design Automation Conf., Ju  
ne 1995.

【非特許文献 6】

D. W. Knapp, “Behavioral Synthesis: Digital System Design usi  
ng the Synopsys Behavioral Compiler”, Prentice Hall PTR.

**【非特許文献 7】**

L. Gauthier, S. Yoo and A. A. Jerraya, “Automatic Generation and Targeting of Application Specific Operating Systems and Embedded Systems Software”, Proc. Design Automation and Test in Europe, Mar. 2001.

**【非特許文献 8】**

D. Lyonnard, S. Yoo, A. Baghdadi and A. A. Jerraya, “Automatic Generation of Application-Specific Architectures for Heterogeneous Multiprocessor System-on-Chip”, Proc. Design Automation Conf., June 2001.

**【非特許文献 9】**

S. Yoo, G. Nicolescu, L. Gauthier and A. A. Jerraya, “Automatic Generation of Fast Timed Simulation Models for Operating Systems in SoC”, Proc. Design Automation and Test in Europe, Mar. 2002.

**【0 0 1 1】****【発明が解決しようとする課題】**

上述のような、従来技術に係る、I S Sを使用したハードウェア／ソフトウェア協調検証方法では、シミュレーションが命令レベルで実行され、即ち一命令ごとにその命令内容を解釈しながら実行されるとともに、メモリ・アクセスが必要となるため、シミュレーション時間即ち検証時間が大きくなるという問題がある。

**【0 0 1 2】**

本発明は、上述した問題点に鑑みてなされたものであり、その目的は、タイミングについてのシミュレーション精度を低下させることなく、一命令ごとの解釈と実行を不要とする C ベースのネイティブ・コード・シミュレーションを実現することにより、シミュレーションの高速化を実現したハードウェア／ソフトウェア協調検証方法を提供することにある。

**【0 0 1 3】**

なお、以下の説明において、「Untimedソフトウェア部品」とは、その全ての処理をANSI-Cで記述したソフトウェア部品、又は、その全ての処理を実行するバイナリ・コードのソフトウェア部品を意味する。一方、「Timedソフトウェア部品」とは、その全ての処理を複数の単位処理に分割し、各単位処理を記述したANSI-C記述の後に、当該単位処理の実行時間を記述したCベース言語記述（実行時間挿入文）を追加したソフトウェア部品、又は、その全ての処理を複数の単位処理に分割し、各単位処理を実行するバイナリ・コードの後に、当該単位処理の実行時間を記述したCベース言語記述（実行時間挿入文）同等機能のバイナリ・コードを追加したソフトウェア部品を意味する。又、「ホストCPU」とは、協調検証を実行するパーソナル・コンピュータ（PC）又はワーク・ステーション（WS）に搭載されているCPU（例えば、Pentium(登録商標)プロセッサ）を意味する。

#### 【0014】

##### 【課題を解決するための手段】

上記目的を達成するために、本発明の第一の面(Aspect)によれば、ホストCPUを使用して、一つのターゲットCPU及び一つのOSが少なくとも搭載される半導体装置のハードウェア及びソフトウェアを協調検証する方法であって、(a) 検証モデルとしてのCベース言語記述のTimedソフトウェア部品を入力してコンパイルし、検証モデルとしてのCベース言語記述のハードウェア部品を入力してコンパイルし、並びに該コンパイルされたTimedソフトウェア部品及び該コンパイルされたハードウェア部品をリンクするステップと、(b) テストベンチを入力してコンパイルするステップと、(c) ステップ(a)により処理された検証モデルとステップ(b)により処理されたテストベンチとをリンクするステップと、(d) ステップ(c)で生成された実行プログラムに基づいてシミュレーションを実行するステップと、(e) ステップ(d)によるシミュレーションの結果を出力するステップと、を具備するハードウェア／ソフトウェア協調検証方法が提供される。

#### 【0015】

又、本発明の第二の面によれば、ホストCPUを使用して、一つのターゲットCPU及び一つのOSが少なくとも搭載される半導体装置のハードウェア及びソ

フトウェアを協調検証する方法であって、(a) 検証モデルとしてのホストCPU用バイナリ・コードのTimedソフトウェア部品を入力し、検証モデルとしてのCベース言語記述のハードウェア部品を入力してコンパイルし、並びに該入力されたTimedソフトウェア部品及び該コンパイルされたハードウェア部品をリンクするステップと、(b) テストベンチを入力してコンパイルするステップと、(c) ステップ(a)により処理された検証モデルとステップ(b)により処理されたテストベンチとをリンクするステップと、(d) ステップ(c)で生成された実行プログラムに基づいてシミュレーションを実行するステップと、(e) ステップ(d)によるシミュレーションの結果を出力するステップと、を具備するハードウェア／ソフトウェア協調検証方法が提供される。

#### 【0016】

又、本発明の第三の面によれば、ホストCPUを使用して、一つのターゲットCPU及び一つのOSが少なくとも搭載される半導体装置のハードウェア及びソフトウェアを協調検証する方法であって、(a) 検証モデルとしてのCベース言語記述のTimedソフトウェア部品を入力してコンパイルし、検証モデルとしてのホストCPU用バイナリ・コードのTimedソフトウェア部品を入力し、検証モデルとしてのCベース言語記述のハードウェア部品を入力してコンパイルし、並びに該コンパイルされ又は該入力されたTimedソフトウェア部品及び該コンパイルされたハードウェア部品をリンクするステップと、(b) テストベンチを入力してコンパイルするステップと、(c) ステップ(a)により処理された検証モデルとステップ(b)により処理されたテストベンチとをリンクするステップと、(d) ステップ(c)で生成された実行プログラムに基づいてシミュレーションを実行するステップと、(e) ステップ(d)によるシミュレーションの結果を出力するステップと、を具備するハードウェア／ソフトウェア協調検証方法が提供される。

#### 【0017】

又、本発明の第四の面によれば、前記本発明の第一又は第三の面による方法において、ANSI-C記述のUntimedソフトウェア部品からCベース言語記述のTimedソフトウェア部品を予め作成すべく、更に、ANSI-C記述のUntimedソフトウェア部品を入力して、Basic Block を認識し、制御点を挿入するステップ

と、該制御点を挿入されたUntimedソフトウェア部品をコンパイルしてターゲットCPU用バイナリ・コードを生成するステップと、該生成されたターゲットCPU用バイナリ・コードについて制御点間の実行時間を算出するステップと、該算出された実行時間に応じて、該制御点を挿入されたUntimedソフトウェア部品の各制御点へ実行時間挿入文を挿入し、Cベース言語記述のTimedソフトウェア部品として出力するステップと、が具備される。

#### 【0018】

又、本発明の第五の面によれば、前記本発明の第二又は第三の面による方法において、ターゲットCPU用バイナリ・コードのUntimedソフトウェア部品からホストCPU用バイナリ・コードのTimedソフトウェア部品を予め作成すべく、更に、ターゲットCPU用バイナリ・コードのUntimedソフトウェア部品を入力して、ホストCPU用バイナリ・コードのソフトウェア部品へと変換するステップと、該ホストCPU用バイナリ・コードのソフトウェア部品について、Basic Block を認識し、制御点を挿入するステップと、該制御点を挿入されたソフトウェア部品について制御点間の実行時間を算出するステップと、該算出された実行時間に応じて、該制御点を挿入されたソフトウェア部品の各制御点へ実行時間挿入文同等機能のバイナリ・コードを挿入し、ホストCPU用バイナリ・コードのTimedソフトウェア部品として出力するステップと、が具備される。

#### 【0019】

##### 【発明の実施の形態】

以下、添付図面を参照して本発明の実施形態について説明する。

#### 【0020】

図3は、本発明に係るハードウェア／ソフトウェア協調検証方法を実施するためのハードウェア環境を説明するための図である。同図に例示されるように、本発明に係る協調検証は、中央処理装置（CPU）12及び主記憶装置（MS）14を有するコンピュータ本体10、ディスプレイ20、キーボード22、マウス24、ハードディスク装置等からなる外部記憶装置30を備える通常のパーソナル・コンピュータ（PC）又はワーク・ステーション（WS）上で実行可能である。

**【0021】**

CPU12は、協調検証を実行するホストCPUとして動作するものであり、例えば、Pentium(登録商標)プロセッサである。以下に説明される協調検証のためのプログラムは、CPU12によって実行される。又、各種のデータ、ファイル等は、外部記憶装置30から主記憶装置(MS)14にロードされて処理される。

**【0022】**

次に、ハードウェア/ソフトウェア協調検証の対象となるSoC(半導体装置)に搭載される各種部品のうち、ソフトウェア部品の検証モデルの作成方法について、図4を用いて説明する。同図に示される例では、ソフトウェア部品のうち、OS/ミドルウェア及びタスクは、ANSI-Cのみで論理設計されているが、割込みハンドラ及びデバイス・ドライバについては、それらの設計論理にANSI-Cによる記述に加えてアセンブリ言語による記述が含まれる。そのため、まず、そのアセンブリ言語による記述部分がANSI-Cによる記述へと変換される。この変換は、人手によりなされる。

**【0023】**

更に、デバイス・ドライバについては、バスへの直接READ/WRITEアクセスを実行するように、人手により変換される。即ち、従来のISSでは、一回あたりのデータ転送量が小さいLOAD/STORE命令を用いてI/Oアクセスがなされていたため低速であったが、本実施形態においては、I/Oアクセスの高速化が図られる。

**【0024】**

最後に、全てANSI-Cにより記述されたOS/ミドルウェア、割込みハンドラ、デバイス・ドライバ及びタスクについて、Untimedソフトウェア部品(ANSI-C記述)からTimedソフトウェア部品(Cベース言語記述)への自動的な変換が、次に説明されるプログラムにより、実施される。

**【0025】**

図5は、ANSI-C記述のUntimedソフトウェア部品からCベース言語記述のTimedソフトウェア部品への変換を実行するプログラムの処理手順を説明する



フローチャートである。又、図6は、その変換処理の内容について説明するための図である。

#### 【0026】

まず、図5のステップ110では、ANSI-C記述のUntimedソフトウェア部品50を入力して、Basic Block を認識し、制御点を挿入することにより、制御点を挿入されたUntimedソフトウェア部品（ANSI-C記述）52を出力する。このBasic Blockは、プログラムがストレートに走行する部分を指すものであり、その詳細は、上記非特許文献3に説明されている。そして、その認識された Basic Block の前後に制御点が挿入される。

#### 【0027】

即ち、図6（A）に示されるUntimedソフトウェア部品（ANSI-C記述）に対しては、ノードa及びノードbが一つの Basic Block と認識され、ノードc、ノードd及びノードeが一つの Basic Block と認識され、ノードc及びノードfが一つの Basic Block と認識され、ノードgが一つの Basic Block と認識される。そのため、図6（B）に示されるように、ノードbとノードcとの間、ノードeとノードgとの間、ノードfとノードgとの間、及びノードgの後に、それぞれ制御点が挿入される。

#### 【0028】

次いで、ステップ120では、かかる制御点を挿入されたUntimedソフトウェア部品（ANSI-C記述）52をコンパイルすることにより、ターゲットCPU用のバイナリ・コード54を生成する。

#### 【0029】

次いで、ステップ130では、上述のコンパイルの結果、生成されたターゲットCPU用バイナリ・コード（命令コード）54に基づいて、制御点間の実行時間を算出する。その算出は、

$$k \Sigma [\text{各命令のサイクル数}]$$

なる演算式に基づいて行われる。ここで、係数kは、キャッシュ・メモリのミスヒットに起因するオーバヘッド係数であり、本実施形態においてはキャッシュ・メモリ・モデルを設けないことから、統計的処理を可能とするために導入された

ものである。

#### 【0030】

最後のステップ140では、制御点を挿入されたUntimedソフトウェア部品52の各制御点へ、ステップ130で算出された実行時間に応じた実行時間挿入文を挿入し、Cベース言語記述のTimedソフトウェア部品56として出力する。

#### 【0031】

例えば、ステップ130において、図6(B)に示されるノードa及びノードbの実行時間が $t_1$ と算出され、ノードc、ノードd及びノードeの実行時間が $t_2$ と算出され、ノードc及びノードfの実行時間が $t_3$ と算出され、ノードgの実行時間が $t_4$ と算出されたとする。その場合には、図6(C)に示されるように、ノードbとノードcとの間の制御点には、実行時間挿入文として `waitfor( $t_1$ )` が挿入される。同様に、ノードeとノードgとの間の制御点には実行時間挿入文として `waitfor( $t_2$ )` が挿入され、ノードfとノードgとの間の制御点には実行時間挿入文として `waitfor( $t_3$ )` が挿入され、ノードgの後の制御点には実行時間挿入文として `waitfor( $t_4$ )` が挿入されることとなる。

#### 【0032】

図7は、このようにして作成されたCベース言語記述のTimedソフトウェア部品56に基づくCベース・シミュレーションについて説明するための図である。Cベース言語記述のTimedソフトウェア部品56をコンパイルしてホストCPU用バイナリ・コードを生成することにより、ホストCPU12(図3)におけるネイティブ・コード・シミュレーション(Native Code Simulation)が可能となる。

#### 【0033】

即ち、Cベース言語記述のTimedソフトウェア部品56をコンパイルして生成されたホストCPU用バイナリ・コードをホストCPUで実行させることにより、一命令ごとにその命令内容を解釈してシミュレーションを実行するISSの場合に比較して、100～1000倍程度の高速化を図ることができる。

#### 【0034】

一方、シミュレーションの過程において、`waitfor` 文が出現したところで、

シミュレータがその内容を解釈することにより、命令実行時間の管理が可能となるため、タイミングについてのシミュレーション精度も維持することができる。即ち、ノード b に相当する命令コードの実行後には、`waitfor(t1)` の命令コードを解釈することで累積処理時間  $T1 = t1$  が求められる。同様に、ノード e に相当する命令コードの実行後には累積処理時間  $T2 = t1 + t2$  が求められる一方、ノード f に相当する命令コードの実行後には累積処理時間  $T2 = t1 + t3$  が求められる。

#### 【0035】

そして、ノード g に相当する命令コードの実行後には、プログラムがノード c、ノード d 及びノード e のルートを走行した場合には累積処理時間  $T3 = t1 + t2 + t4$  が求められる一方、プログラムがノード c 及びノード f のルートを走行した場合には累積処理時間  $T3 = t1 + t3 + t4$  が求められることとなる。

#### 【0036】

ところで、ANSI-C 記述の Untimed ソフトウェア部品から C ベース言語記述の Timed ソフトウェア部品を作成する図 5 のソフトウェア部品検証モデル作成方法では、Untimed ソフトウェア部品のソース・コード (ANSI-C) が必要となるが、大半の OS やミドルウェアでは、その入手が困難である。そこで、本実施形態においては、ターゲット CPU 用バイナリ・コードによる Untimed ソフトウェア部品からホスト CPU 用バイナリ・コードによる Timed ソフトウェア部品への変換が行われる。

#### 【0037】

図 8 は、ターゲット CPU 用バイナリ・コードの Untimed ソフトウェア部品からホスト CPU 用バイナリ・コードの Timed ソフトウェア部品への変換を実行するプログラムの処理手順を説明するフローチャートである。まず、ステップ 210 では、ターゲット CPU 用バイナリ・コードの Untimed ソフトウェア部品 60 を入力して、ホスト CPU 用バイナリ・コードのソフトウェア部品 62 へと変換する。この変換は、Dynamic (Transitive Technologies 社製ツール) 等を利用して実現することができる。

**【0038】**

次いで、ステップ220では、ホストCPU用バイナリ・コードのソフトウェア部品62について、前述したステップ110（図5）と同様に、Basic Blockを認識することにより、制御点を挿入されたソフトウェア部品64を出力する。

**【0039】**

次いで、ステップ230では、前述したステップ130（図5）と同様に、制御点を挿入されたソフトウェア部品64について制御点間の実行時間を算出する。その算出は、

$k \Sigma$  [各命令のサイクル数]

なる演算式に基づいて行われる。ここで、係数 $k$ は、キャッシュ・メモリのミスヒットに起因するオーバヘッド係数である。

**【0040】**

最後のステップ240では、制御点を挿入されたソフトウェア部品64の各制御点へ、算出された実行時間に応じた実行時間挿入文同等機能のバイナリ・コードを挿入し、ホストCPU用バイナリ・コードのTimedソフトウェア部品66として出力する。

**【0041】**

次に、ハードウェア／ソフトウェア協調検証の対象となるSoC（半導体装置）に搭載される各種部品のうち、ハードウェア部品の検証モデルの作成方法について説明する。前述のように、従来のハードウェア／ソフトウェア協調検証においては、CPU及びCPU専用メモリの検証モデルが準備されたが、本実施形態においては、それらの検証モデルは作成されず、その代わりに、ISS（Instruction Set Simulator）における割込み処理部を独立化させたIRS（Interrupt Routine Scheduler）が新たに導入される。このIRSは、Cベース言語で記述される。又、バスの検証モデルは、従来と同様に、Cベース言語で新規に作成される。

**【0042】**

又、Cベース言語を用いて論理設計されたビヘイビア（Behavior）記述のハードウェア部品は、動作合成ツールの拡張機能を利用して、Cベース言語記述から

Fixed I/O Behaviorモデルへと自動的に変換されることにより、その検証モデル（Cベース言語）が生成される。このFixed I/O Behaviorモデルは、Basic Block を利用した Timed ハードウェア・モデルと同等のものであり、その詳細は、上記の非特許文献 4 ～ 6 に説明されている。

#### 【 0 0 4 3 】

又、Verilog/VHDLを用いて論理設計されたRTL (Register Transfer Level) 記述のハードウェア部品は、HDL Import (CoWare社製ツール) 等を利用して、RTL記述からRTL-Cベース言語モデルへと自動的に変換されることにより、その検証モデル（Cベース言語）が生成される。このRTL-Cベース言語モデルは、FSM (Finite State Machine, 有限状態機械) の1ステートが1クロックの動作を表現するものである。

#### 【 0 0 4 4 】

以上のようにして作成されたソフトウェア部品及びハードウェア部品の検証モデルにテストベンチ及びCベース・シミュレータを加えることで、本実施形態に係る協調検証システム（ソフトウェア構成）が図9に示されるように構成される。なお、前述のように、テストベンチは、テスト・データの入力、テスト・データの出力と期待値との比較、等を実行し、Cベース・シミュレータは、シミュレーション全体の動作を制御する。IRSは、CPU割込み回路相当の機能を実現するものである。又INTは、マスク可能割込み (maskable Interrupt)、NMIは、マスク不能割込み (NonMaskable Interrupt) である。

#### 【 0 0 4 5 】

図10は、図3に示されるハードウェア環境及び図9に示されるソフトウェア構成の下で実行される、SoCに対するハードウェア/ソフトウェア協調検証の手順を説明するためのフローチャートである。まず、ステップ310では、検証モデルの入力、必要なコンパイル、及びリンクを実行する。

#### 【 0 0 4 6 】

即ち、検証モデルとして、ホストCPU用バイナリ・コードのTimedソフトウェア部品、Cベース言語記述のTimedソフトウェア部品、Cベース言語記述のバス、Cベース言語記述の一般ハードウェア部品、及びCベース言語記述のIRS

を入力する。なお、Timedソフトウェア部品としては、ホストCPU用バイナリ・コードのTimedソフトウェア部品のみが入力される場合、Cベース言語記述のTimedソフトウェア部品のみが入力される場合、及びそれらの双方が入力される場合がある。なお、ソフトウェア部品には、前述のように、OS／ミドルウェア、割込みハンドラ、デバイス・ドライバ、タスク等が含まれる。又、一般ハードウェア部品は、CPU、CPU専用メモリ及びバスを除くハードウェア部品である。

#### 【0047】

そして、Cベース言語記述のTimedソフトウェア部品、Cベース言語記述のバス、Cベース言語記述の一般ハードウェア部品、及びCベース言語記述のIRSについては、そのコンパイルを行う一方、ホストCPU用バイナリ・コードのTimedソフトウェア部品についてはコンパイルの必要はない。かかるコンパイルを実施した後、全てのソフトウェア部品及びハードウェア部品をリンクする。

#### 【0048】

次いで、ステップ320では、テストベンチを入力してコンパイルする。更に、ステップ330では、ステップ310において処理された各部品即ち検証モデルと、ステップ320において処理されたテストベンチとをリンクする。次いで、ステップ340では、Cベース・シミュレータによる制御の下、ステップ330で生成された実行プログラムにより、図7で説明されたシミュレーションが実行される。最後のステップ350では、そのシミュレーションの結果がディスプレイ20等に出力されて、協調検証が終了する。

#### 【0049】

最後に、本実施形態における部品間の通信方式について、図11に基づき説明すると、ソフトウェア部品とソフトウェア部品との間の通信方式としては、ANSI-C通信方式(Semaphore, MailBox, EventFlag)が採用される一方、ハードウェア部品とハードウェア部品との間の通信方式としては、SystemC通信方式(sc\_event)が採用される。又、ソフトウェア部品とハードウェア部品との間の通信方式としては、ハードウェア起動時にあってはSystemC通信方式(sc\_event)が採用される一方、ハードウェア動作終了時にあっては割込み方式

が採用される。

#### 【0050】

一方、非特許文献7～9に記載されているC言語ベースの設計及び検証技術の実施形態における部品間の通信方式について説明すると、ソフトウェア部品とソフトウェア部品との間の通信方式及びハードウェア部品とハードウェア部品との間の通信方式としては、SystemC通信方式(sc\_event)が採用されている。又、ソフトウェア部品とハードウェア部品との間の通信方式としては、ハードウェア起動時にあってはSystemC通信方式(sc\_event)が採用されている一方、ハードウェア動作終了時にあってはポーリング方式が採用されている。

#### 【0051】

以上、本発明の実施形態について述べてきたが、もちろん本発明はこれに限定されるものではなく、例えば、図12に示されるような、マルチCPUシステムの検証モデルにも、本発明は適用可能である。

#### 【0052】

##### 【発明の効果】

以上説明したように、本発明によれば、Cベースのネイティブ・コード・シミュレーションが実現されるため、従来のISSを使用した方法に比較して、シミュレーション性能(命令数/秒)が従来の $10^2 \sim 10^3$ 倍程度向上し、ハードウェア/ソフトウェア協調検証におけるシミュレーションの高速化が図られる。しかも、Timedソフトウェア部品に基づく時間管理が行われることで、タイミング検証の精度も維持される。したがって、本発明は、ハードウェア/ソフトウェア協調検証(特に、ソフトウェアの検証)における工数の低減に大きく寄与するものである。

##### 【図面の簡単な説明】

##### 【図1】

SoCの上流設計フローを示す図である。

##### 【図2】

従来のハードウェア/ソフトウェア協調検証システムの構成(ソフトウェア構成)を示すブロック図である。

**【図 3】**

本発明に係るハードウェア／ソフトウェア協調検証方法を実施するためのハードウェア環境を例示するブロック図である。

**【図 4】**

ソフトウェア部品の検証モデルの作成方法について説明するための図である。

**【図 5】**

ANSI-C記述のUntimedソフトウェア部品からCベース言語記述のTimedソフトウェア部品への変換を実行するプログラムの処理手順を説明するフローチャートである。

**【図 6】**

ANSI-C記述のUntimedソフトウェア部品からCベース言語記述のTimedソフトウェア部品への変換処理の内容について説明するための図である。

**【図 7】**

Cベース言語記述のTimedソフトウェア部品に基づくCベース・シミュレーションについて説明するための図である。

**【図 8】**

ターゲットCPU用バイナリ・コードのUntimedソフトウェア部品からホストCPU用バイナリ・コードのTimedソフトウェア部品への変換を実行するプログラムの処理手順を説明するフローチャートである。

**【図 9】**

本実施形態に係るハードウェア／ソフトウェア協調検証システムの構成（ソフトウェア構成）を示すブロック図である。

**【図 10】**

本実施形態に係るハードウェア／ソフトウェア協調検証の手順を説明するためのフローチャートである。

**【図 11】**

部品間の通信方式について説明するための図である。

**【図 12】**

マルチCPUシステムの検証モデルを例示する図である。



## 【符号の説明】

- 1 0 …コンピュータ（P C又はW S）本体
- 1 2 …中央処理装置（C P U）
- 1 4 …主記憶装置（M S）
- 2 0 …ディスプレイ
- 2 2 …キーボード
- 2 4 …マウス
- 3 0 …外部記憶装置（ハードディスク装置）

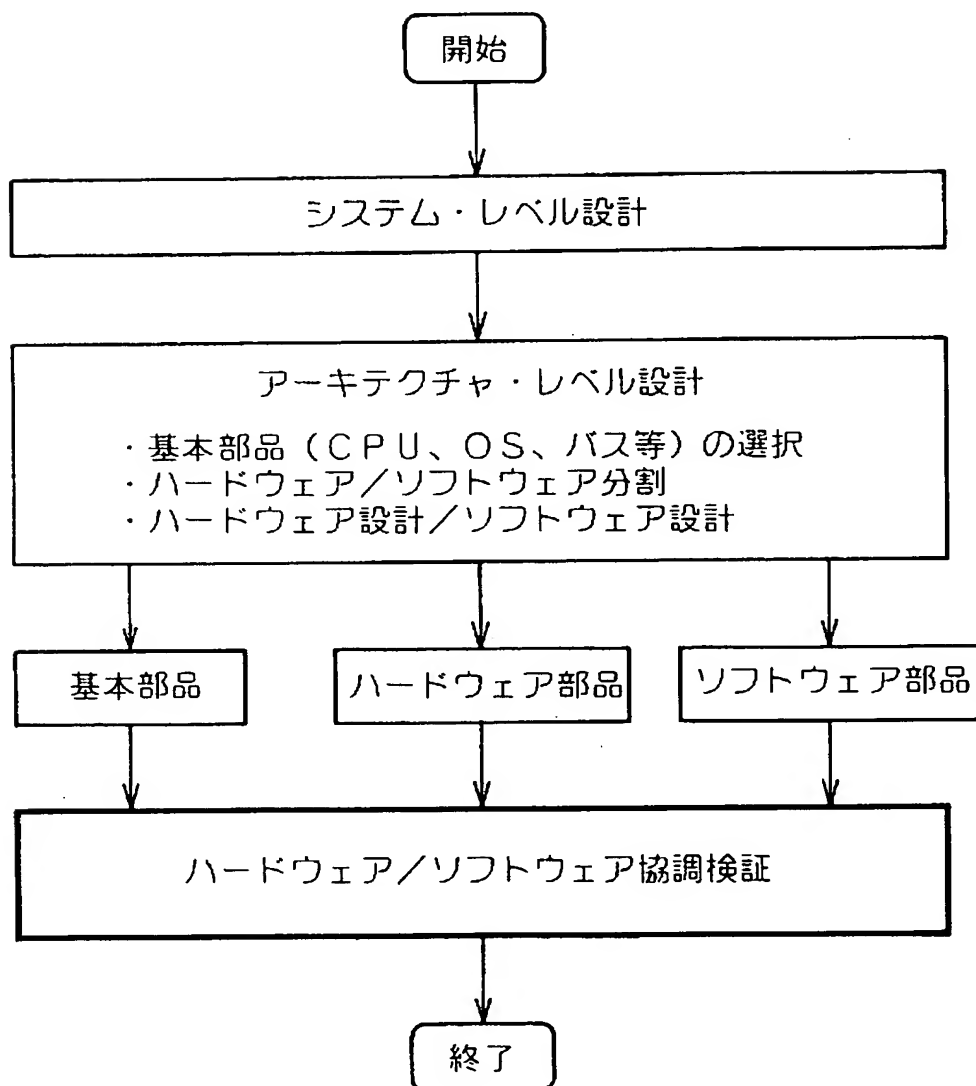
【書類名】

図面

【図 1】

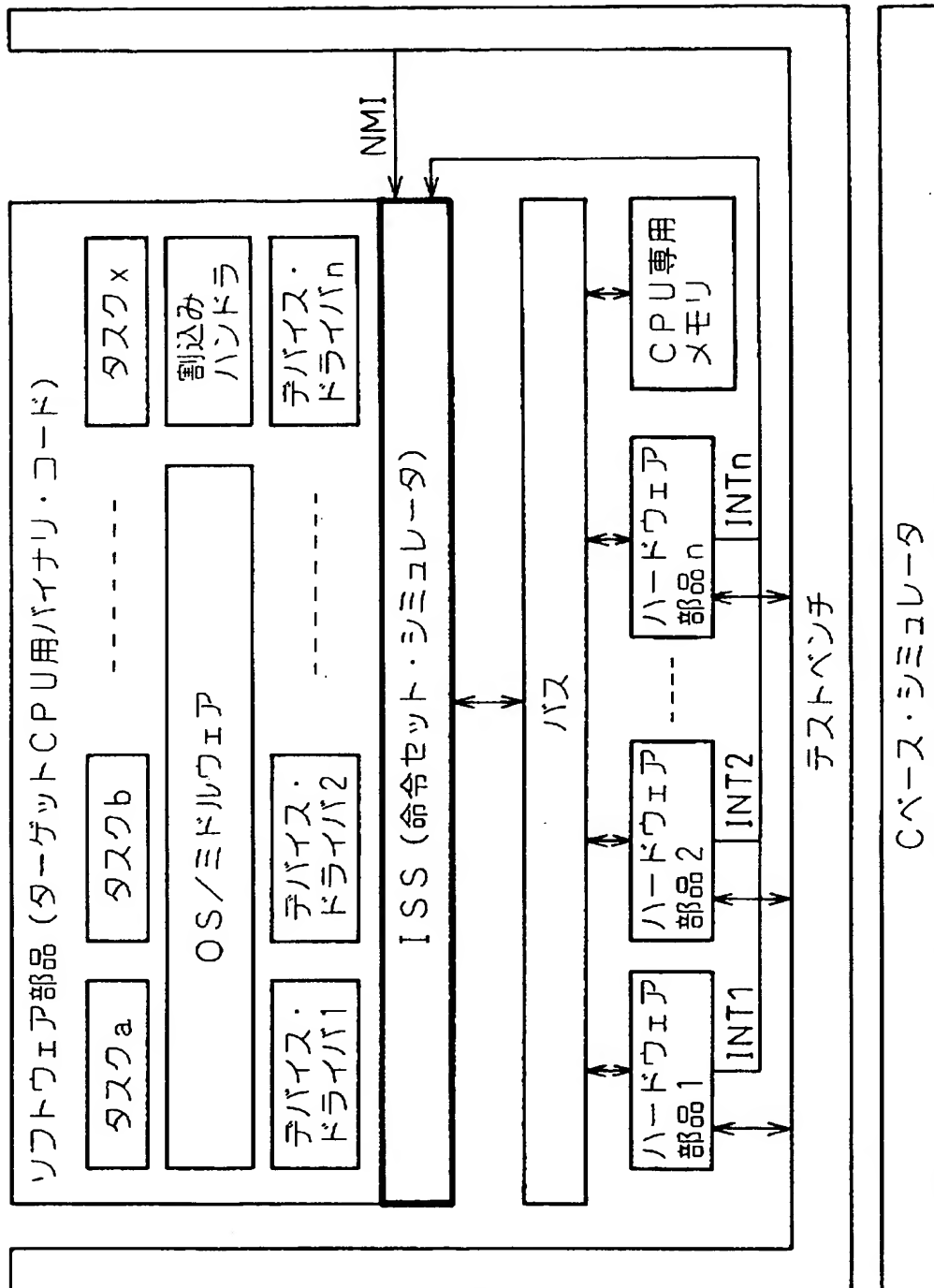
図 1

## SoC 上流設計フロー



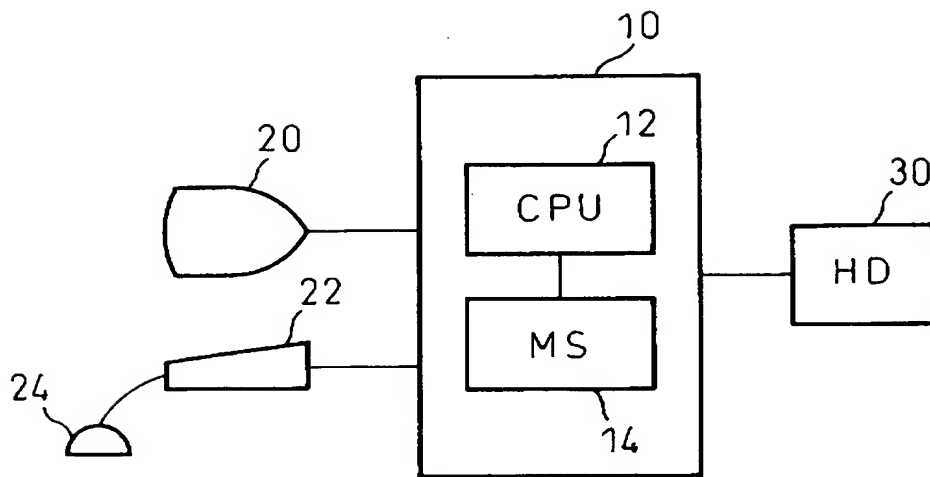
【図2】

図 2



【図 3】

図 3



【図 4】

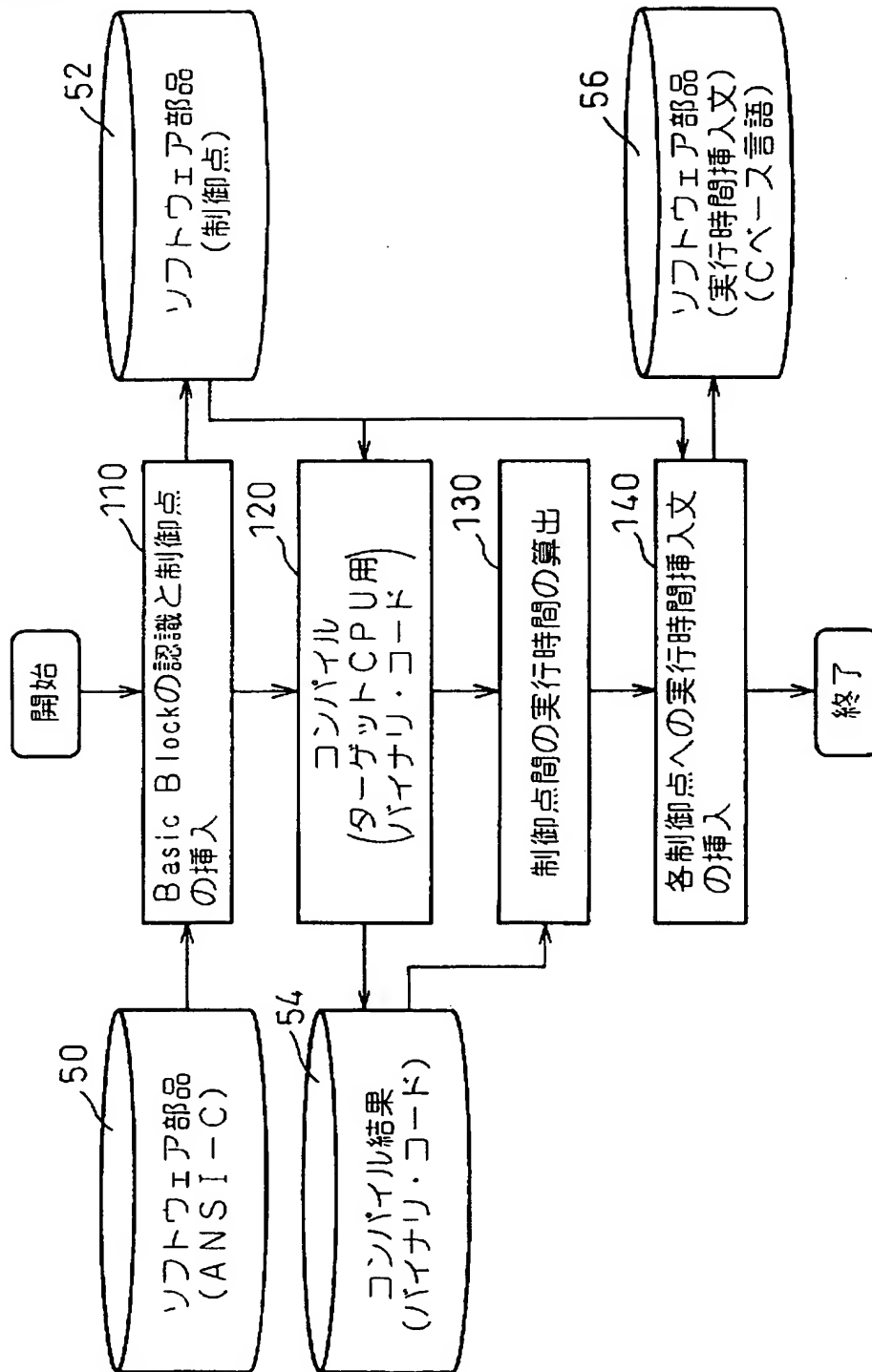
図 4

ソフトウェア 部品	設計論理の 記述言語	検証モデルの作成方法			検証モデル の記述言語
		変換 1*1	変更*2	変換 2*3	
OS/ ミドルウェア	ANSI-C	-	-	○	Cベース 言語
割込み ハンドラ	ANSI-C及び アセンブリ言語	○	-	○	Cベース 言語
デバイス・ ドライバ	ANSI-C及び アセンブリ言語	○	○	○	Cベース 言語
タスク	ANSI-C	-	-	○	Cベース 言語

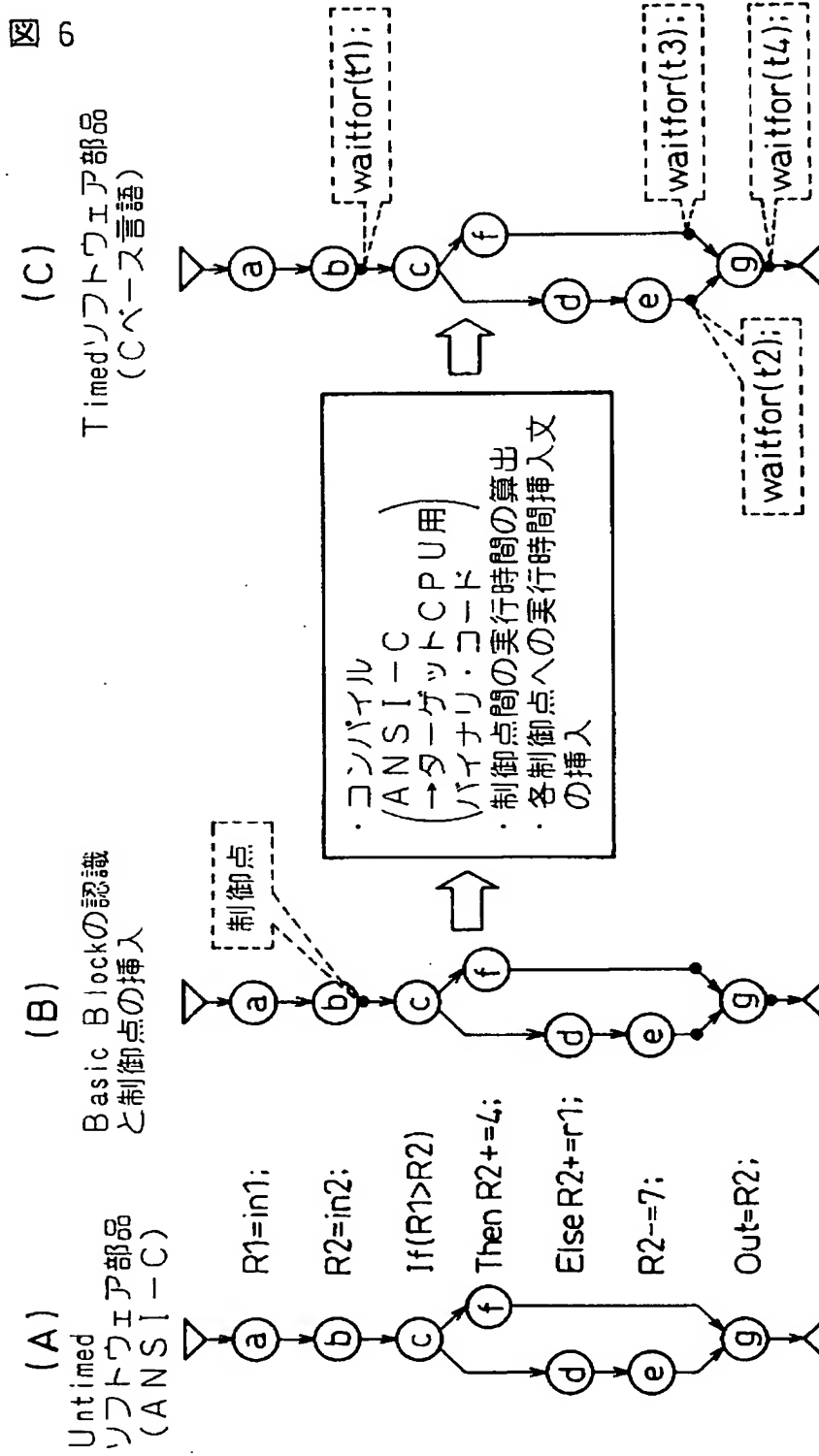
\*1：アセンブリ言語記述部分のANSI-C記述への変換（人手）  
\*2：「バスへの直接READ/WRITEアクセス」に関する変更（人手）  
\*3：Untimedソフトウェア部品からTimedソフトウェア部品への変換（自動）

【図 5】

図 5

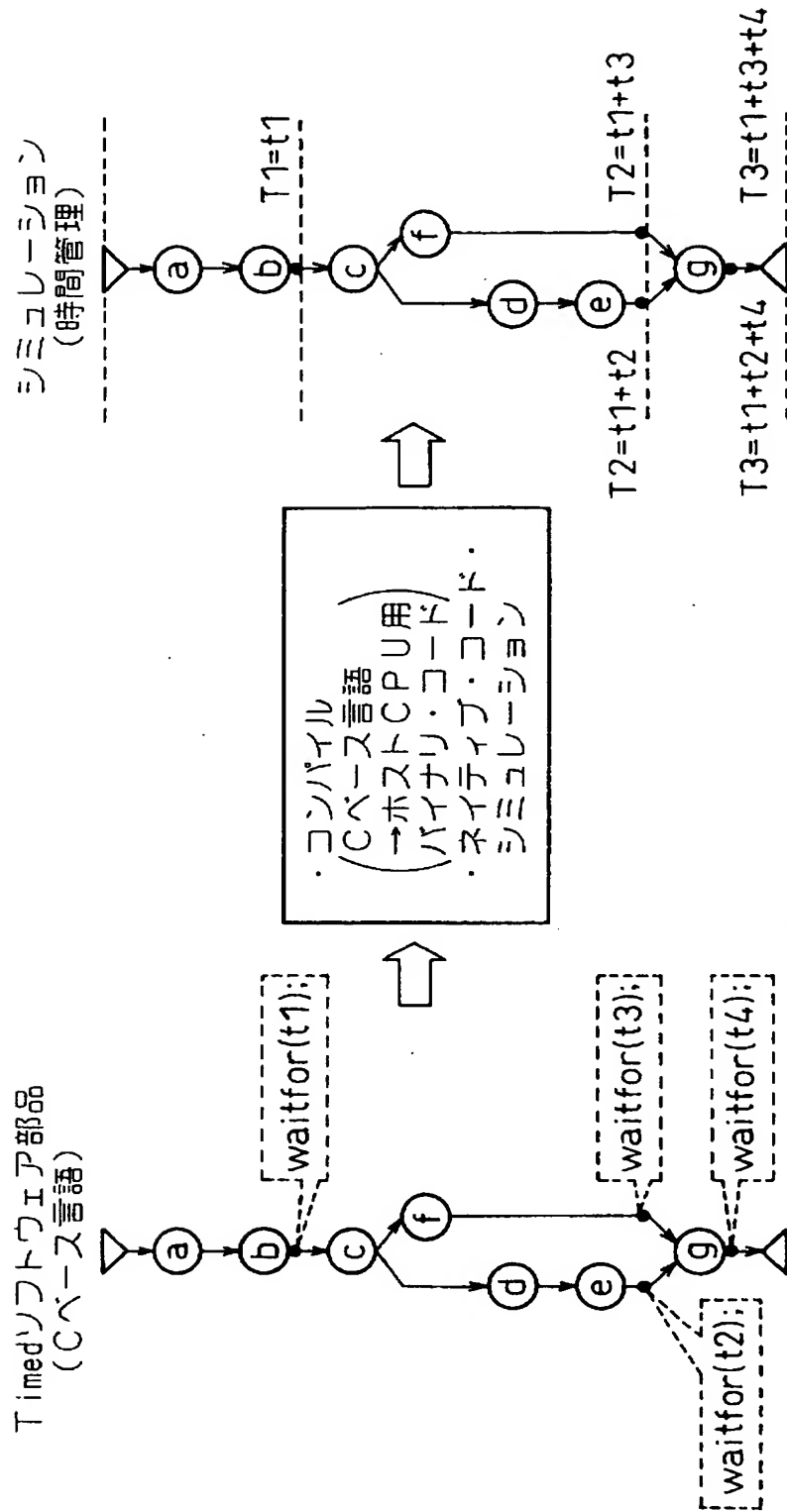


【図 6】



【図 7】

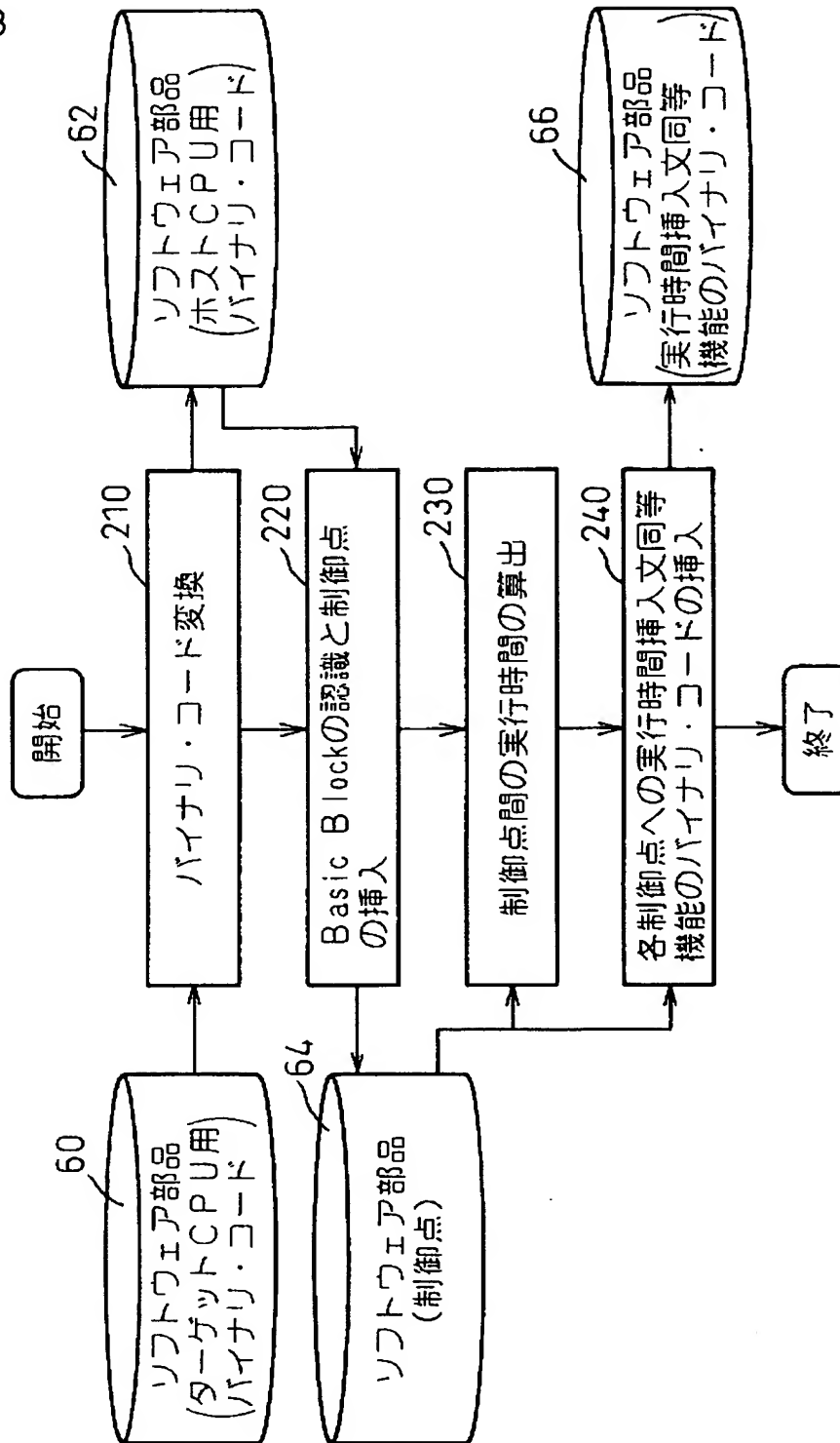
図 7





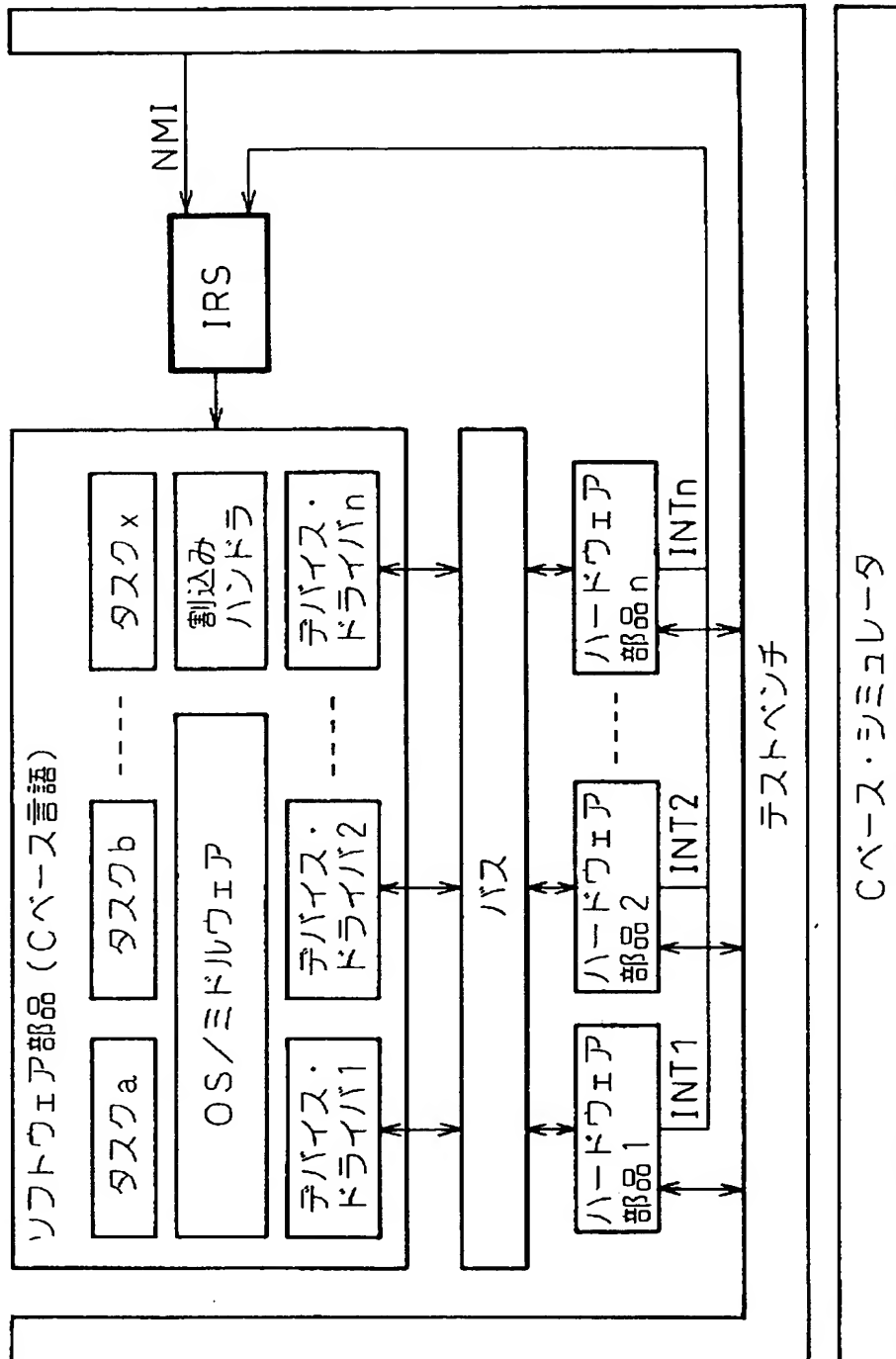
【図 8】

図 8

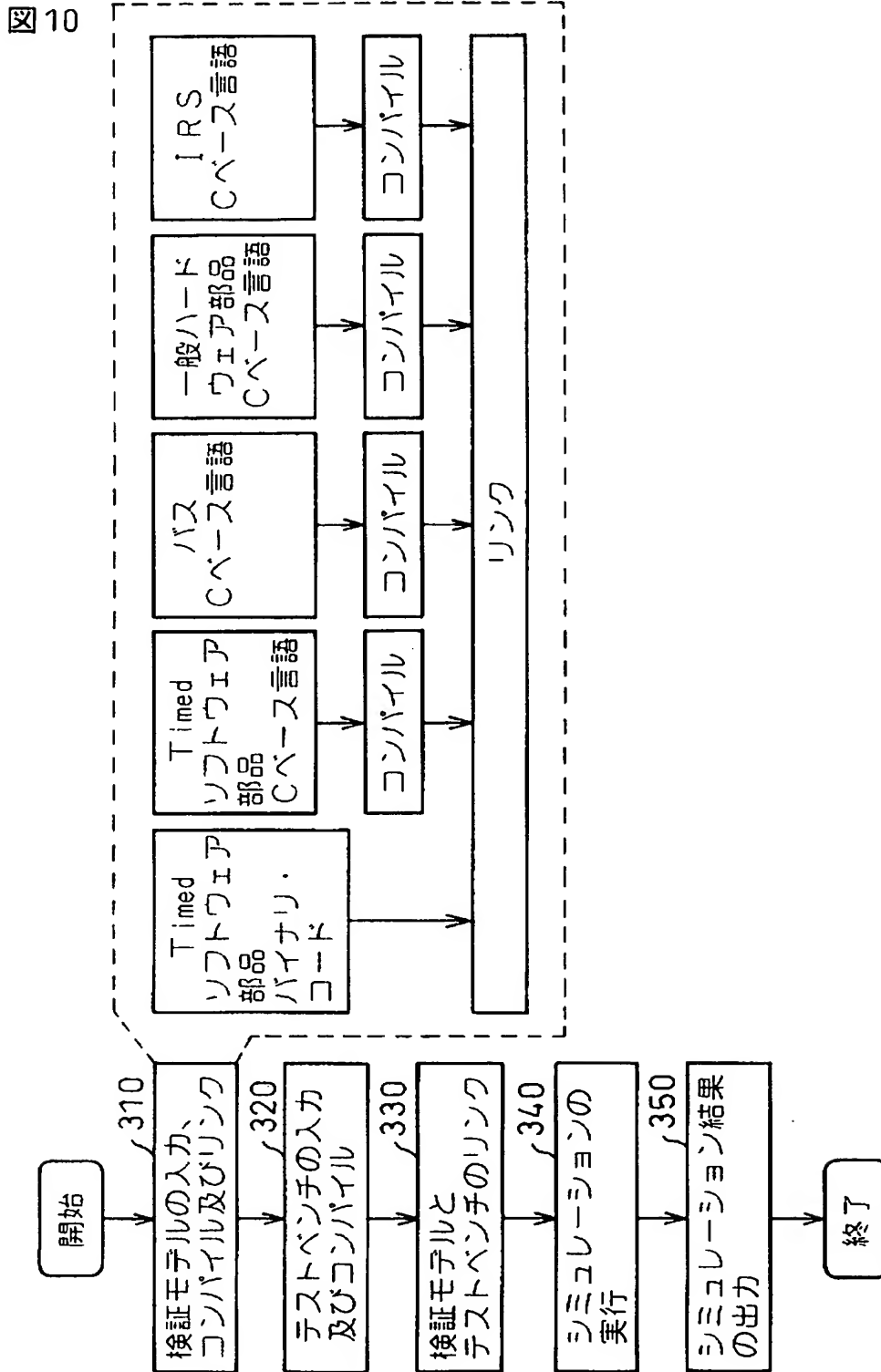


【図 9】

図 9

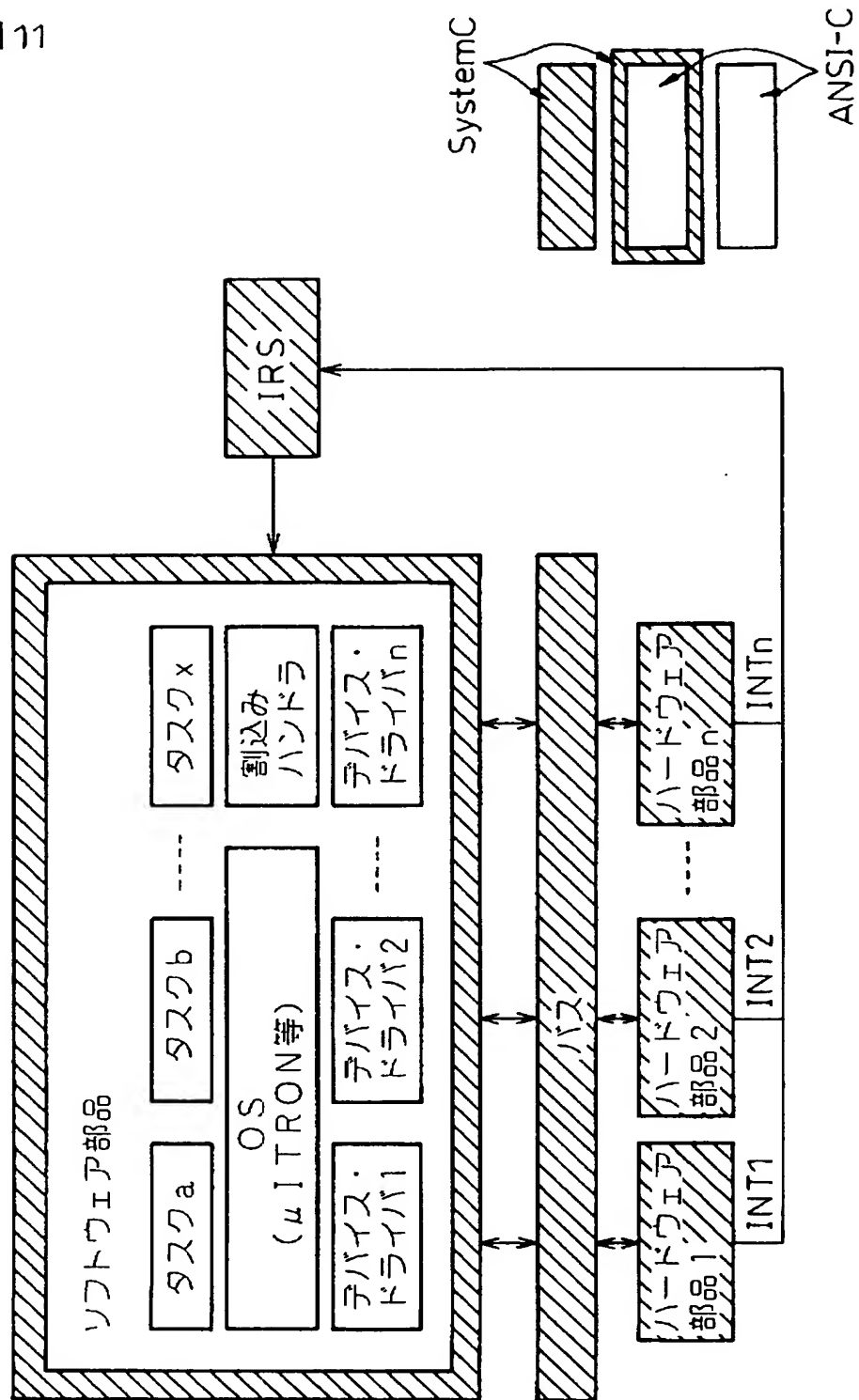


【図 10】



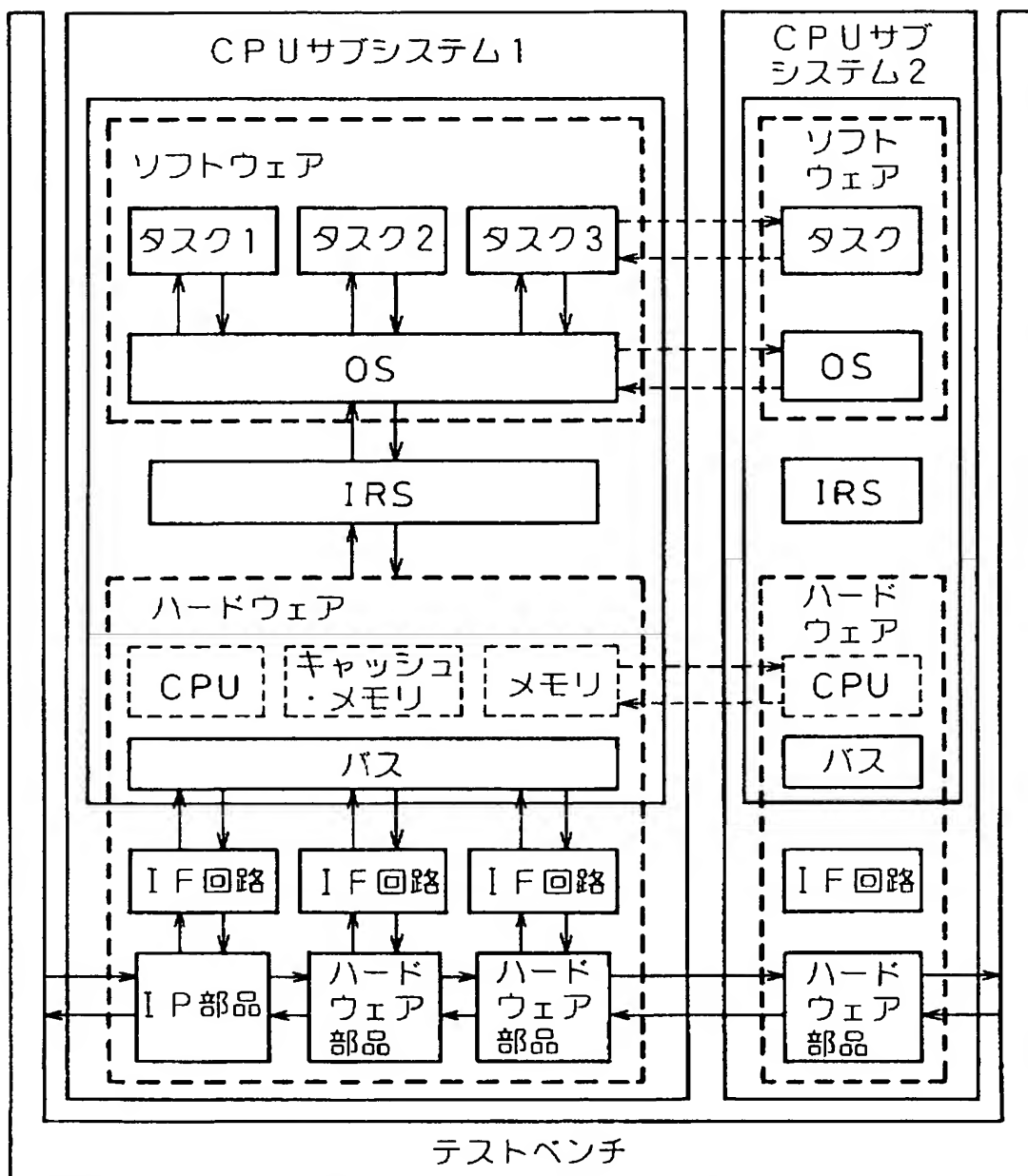
【図 11】

図 11



【図 12】

図 12



【書類名】 要約書

【要約】

【課題】 タイミング検証の精度を低下させることなく、Cベースのネイティブ・コード・シミュレーションを実現することにより、シミュレーションの高速化を実現したハードウェア／ソフトウェア協調検証方法を提供する。

【解決手段】 この方法は、ホストCPUを使用して、一つのターゲットCPU及び一つのOSが少なくとも搭載される半導体装置のハードウェア及びソフトウェアを協調検証する方法であって、まず、検証モデルとして、Cベース言語記述又はホストCPU用バイナリ・コードのTimedソフトウェア部品及びCベース言語記述のハードウェア部品を入力し、必要なコンパイルを実行してそれらをリンクする。次いで、テストベンチを入力してコンパイルする。次いで、各部品とテストベンチとをリンクし、シミュレーションを実行して、その結果を出力する。

【選択図】 図 1 0

特願 2 0 0 3 - 0 2 4 7 0 6

出 願 人 履 歴 情 報

識別番号 [ 3 9 6 0 2 3 9 9 3 ]

1. 変更年月日 2 0 0 1 年 3 月 2 3 日

[変更理由] 住所変更

住 所 神奈川県横浜市港北区新横浜 3 丁目 1 7 番地 2 友泉新横浜ビ  
ル 6 階

氏 名 株式会社半導体理工学研究センター